

JP 352014353 A  
FEB 1977

**(54) MIS-TYPE SEMICONDUCTOR DEVICE**

(11) Kokai No. 52-14383 (43) 2.3.1977 (21) Appl. No. 50-90520

(22) 7.24.1975

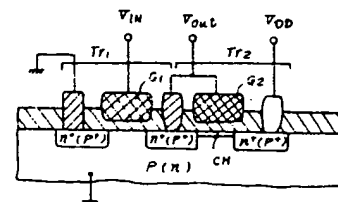
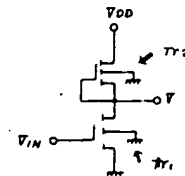
(71) FUJITSU K.K. (72) YOSHINORI MORITA

(52) JPC: 99(5)E3;99(5)H0;99(5)C1

(51) Int. Cl<sup>2</sup>. H01L29/78, H01L29/62, H01L26/02, H01L21/28

**PURPOSE:** To make matched the characteristics of MIS devices by using metal with different work functions as gates.

**CONSTITUTION:** The gate  $G_1$  and  $G_2$  are formed through an insulation layer at the surface of P-type silicon substrate, and the N-type source and drain are formed on the substrate at the both sides of the gates. The threshold voltage  $V_{th}$  of the MIS device with the above mentioned constitution is linear to the difference  $\phi_{MS}$  between the work function of metal of gate electrode and that of silicon as a substrate. The difference  $\phi_{MS}$  is also a linear function of the work function of metal,  $\phi_M$ . Then, it is possible to have the same effect by forming the gate of each element with metal, the work function of which is different from that of silicon substrate instead of controlling the concentration of impurity doped to silicon substrate in order to match the characteristics between MIS devices.



257-407



(4,000円)

特許願(う)の記載

昭和50年7月24日

特許庁長官 斎藤英雄 殿

① 日本国特許庁

## 公開特許公報

① 特開昭 52-14383

④ 公開日 昭52.(1977) 2. 3

② 特願昭 50-90520

③ 出願日 昭50.(1975) 7.24

審査請求 未請求 (全4頁)

庁内整理番号

6426 57

6513 57

7216 57

⑤ 日本分類

99(5)E3

99(5)H0

99(5)C1

⑥ Int. Cl<sup>2</sup>

H01L 29/78

H01L 29/62

H01L 27/02

H01L 21/28

### 1. 発明の名称

MIS型半導体装置

### 2. 発明者住所

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

氏名

森田 義典

### 3. 特許出願人氏名

211

住所

神奈川県川崎市中原区上小田中1015番地

(522) 名称

富士通株式会社

代表者

清宮 博

### 4. 代理人 氏名

211

住所

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(6435) 氏名

森田 松岡 宏四郎

電話川崎(044)777-1111(内線3391)

### 5. 添付書類の目録

① 明 細 書

1 通

② 図 面

1 通

③ 要 正 状

1 通



### 1. 発明の目的

MIS型半導体装置

### 2. 特許請求の範囲

一導電型を有する半導体基板に、該半導体基板表面に絶縁膜を介してゲート電極が配置され、該絶縁膜の内側の半導体基板領域に該半導体基板とは反対の導電型を有するソース領域及びドレイン領域が配置されてなるMIS型半導体素子が複数個形成され、該複数個のMIS型半導体素子で基本回路が構成されるMIS型半導体装置において該基本回路を構成するMIS型半導体素子の各々のゲート電極を該半導体基板との仕事関数差を異にする異種金属で形成したことを特徴とするMIS型半導体装置。

### 3. 発明の詳細な説明

本発明はシリコン基板上に形成された複数の電界効果型トランジスタで基本回路を形成する半導体装置、特にゲート電極とシリコン基板間に金属絶縁層が形成されたMIS型半導体装置に関する。MIS型半導体装置により形成される基本回路と

してインバータ回路があり、二つの電界効果型トランジスタの一方をエンハンスメント型、他方をデプリーション型とし、デプリーション型トランジスタをエンハンスメント型トランジスタの負荷として形成される。更にNPN型とPNP型トランジスタを対として形成するコンプリメンタリ方式基本回路がある。従来かかる基本回路に対し、デプリーション型トランジスタを形成するため、あるいはNPN型、PNP型トランジスタの特性を合わせるためシリコン基板への不純物ドーピングを制御することが行なわれている。本発明はかかる制御をなく所望のデプリーション型トランジスタの形成、あるいは対となるNPN型、PNP型トランジスタの特性一致が可能な半導体装置を提供するものである。そして本発明による半導体装置はトランジスタより一導電型を有する半導体基板に、該半導体基板表面に絶縁膜を介してゲート電極が配置され、該絶縁膜の内側の半導体基板領域に該半導体基板とは反対の導電型を有するソース領域及びドレイン

ン回路が配線されてなるMIS型半導体素子が複数形成され、該複数個のMIS型半導体素子で基本回路が構成されるMIS型半導体装置において該基本回路を構成するMIS型半導体素子の各々のゲート電極を該半導体基板との仕事関数差を異にする異種金属で形成したことを特徴とするものである。

以下図面に従い本発明を詳細に説明する。

第1図はエンハンスメント型トランジスタをドライバートランジスタとし、ディブリージョン型トランジスタを負荷とするインバータ回路（以下E/Dインバータと称す）を示し、第2図は等価回路、第3図は半導体装置の断面構造図を示す。図1内の導電型はPチャネルE/Dインバータの場合、他はNチャネルE/Dインバータの場合に対応する。従来のE/Dインバータにおいて、ディブリージョン型トランジスタ即ち、負荷となるトランジスタ $T_2$ のゲート $U_2$ に対応するシリコン基板位置に不純物が注入されチャネルCHが形成されている。即ち、ゲート $U_2$ へのバイアスが零である場合に

$$\phi_{MS} = \phi_M - \left( \chi + \frac{E_G}{2} + \phi_{FB} \right) \dots \dots \dots (1)$$

ここで $\phi_M$ ：ゲート電極の仕事関数

$\chi$ ：Siの電子親和力

$E_G$ ：Siの禁帯幅

従つて(1)、(2)式よりゲート電極と基板シリコンの仕事関数差を異ならしめることにより閾値 $V_T$ が変化することが理解される。更にこのことをエネルギーバンド構造によつて説明する。第2図がMOS型素子におけるゲート電極がアルミニウムAとの場合のバンド構造である。（第3図はP型Si基板、第4図はn型Si基板の例である。）

第2図のn型チャネル型におけるシリコン基板Siの仕事関数 $\phi_S$ は(2)式より

$$\phi_S = \chi + \frac{E_G}{2} + \phi_{FB} \quad \text{となり}$$

一般に電子親和力 $\chi$ は4.05eV、 $E_G$ は1.1eVであり、これに代し、アルミニウムAと電極の仕事関数 $\phi_M$ は4.0eV程度である。従つて $\phi_M < \phi_S$ と成つて仕事関数差 $\phi_{MS}$ によつて第2図

において、ある値の抵抗値を有し負荷抵抗となる。

ここで従来の位置においてはゲート電極 $U_1, U_2$ は同種の金属で形成されている。これに対し本発明はドライバートランジスタ $T_1$ と負荷トランジスタ $T_2$ の各々のゲート電極 $U_1, U_2$ が互いに異つた金属、例えばアルミニウムAと多結晶シリコンで形成されていることに特徴を有している。

即ち、かかる構成によりいずれかのトランジスタをディブリージョン型とするためのチャネルドープを行う必要をなくしている。

次に本発明のより深い理解のため原理について説明する。一般にMIS型素子の閾値電圧 $V_T$ は(3)式で示されるが更に(3)式内の $\phi_{MS}$ （ゲート電極と基板シリコンの仕事関数差）は(2)式で表わされる。

$$V_T = - \left( \frac{Q_{SS} + Q_B}{C_o} + \phi_{MS} + 2\phi_{FB} \right) \dots \dots \dots (3)$$

ここで $Q_{SS}$ ：単位面積当りの界面電荷密度

$Q_B$ ：単位面積当りのS；空間電荷密度

$C_o$ ：単位面積当りのゲート容量

$\phi_{FB}$ ：基板シリコンのフェルミポテンシャル

ごとくシリコンSi表面のバンドが下方へ曲げられる。また多結晶 $SiO_2$ が通常の熱酸化によつて得られるものとするとき $SiO_2$ に

$Q_{SS}/g = 1 \times 10^{11} \sim 3 \times 10^{11} \text{ cm}^{-2}$ の正電荷が存在することは避けられず、従つてアルミニウム電極に正のバイアスを与えたと同じ効果となり、シリコンSi表面のバンドはより下方へ曲げられることになる。従つてnチャネル型ではディブリージョン型、Pチャネル型ではエンハンスメント型になり易い。

一方、第8図～第6図のようにゲート電極が多結晶シリコンSiの場合（第8図、4図ではn型多結晶Si、第5図、6図ではP型多結晶Siである）その仕事関数 $\phi_U$ とすると

$$\phi_U = \chi + \frac{E_G}{2} + \phi_{FB} \quad \text{となる。}$$

よび $E_G$ は多結晶Siの場合も同様と考えてよいから多結晶Siをゲート電極とした場合の仕事関数差 $\phi_{SU}$ は(2)式となる。

$$\phi_{SU} = \phi_{FU} - \phi_{FB} \quad (4)$$

ここで $\phi_{FU}$ は多結晶Siのフェルミポテンシャル

である。いまドーパ不純物を濃くした多結晶Siのフェルミレベルは第8図、第9図に示すように電位帯B<sub>0</sub>に等しくなり、従つてその仕事関数φ<sub>B</sub>は $\chi$ に等しくなる。又、アクセプタ不純物を濃くドーパした多結晶Siのフェルミレベルは第5図、第6図に示すように元電位帯B<sub>0</sub>に等しくなり、従つて、その仕事関数φ<sub>B</sub>は $\chi + E_g$ となる。

従つて(14)、(15)式によつて求めても、第3図～第6図によつて容易に理解されるようにゲート電極の仕事関数が基体Siのそれより大きい程、強電圧V<sub>T</sub>は正電圧側に移し、nチャネル型ではエンハンスメント、pチャネル型ではデプリーション型になり易い。即ち第3図、第4図における場合、電極となる多結晶Siの仕事関数は $\chi$ であり、基体Siの仕事関数より小さくnチャネル型ではデプリーション型、pチャネル型ではエンハンスメント型になり易い。又、第5図、第6図における場合、電極となる多結晶Siの仕事関数は $\chi + E_g$ であり基体Siの仕事関数より大きく、nチャネル型ではエンハンスメント型、pチャネル型ではデプリーション型になり易い。

チャネル型ではデプリーション型になり易い。

本発明は上記のような仕事関数差を利用して、同一シリコン基体上にNIS型素子を作る場合、それぞれの特ランジスタのゲート電極として共つた金属を用いることにより製造電圧V<sub>T</sub>を制御し、不純物のドーパを制御することなく所望の機能をもたらせるようにしたものである。

次はB/Dインバータ回路におけるゲート電極の組合せの一例を示したものである。

チャネルタイプ	ドライバーのゲート電極	負荷トランジスタのゲート電極
nチャネルB/Dインバータ	P型多結晶Si (第5図)	A <sub>2</sub> またはn型多結晶Si (第2図aまたは第3図)
pチャネルB/Dインバータ	A <sub>2</sub> またはn型多結晶Si (第2図bまたは第4図)	P型多結晶Si (第6図)

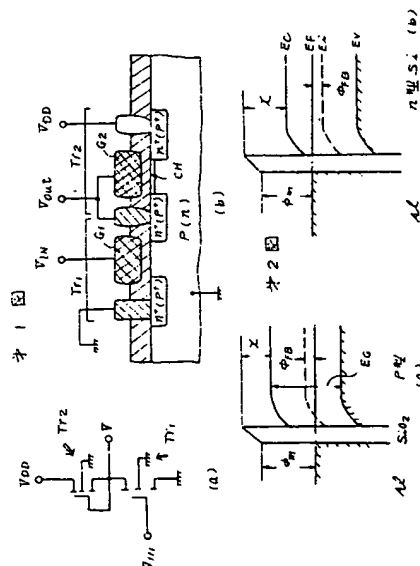
ここで本発明は上記A<sub>2</sub>を多結晶Siとの組合せで決定されるものでないことは上記本発明の原産説明から明白であるとともに適用例としてB/Dインバータ回路に限られず、明述のごとくコンパ

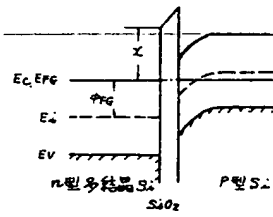
リメンタリー型NIS素子にも適用されることはいうまでもない。

#### 4. 図明の簡単な説明

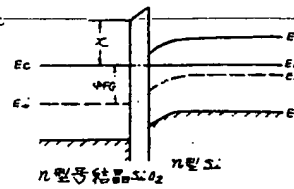
第1図は本発明を適用したB/Dインバータ、第2図乃至第6図は本発明を説明するための図を各々示す。

代理人 井理士 松 崎 左四郎

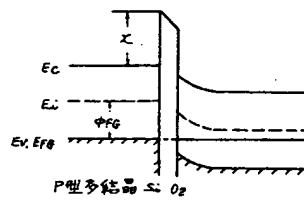




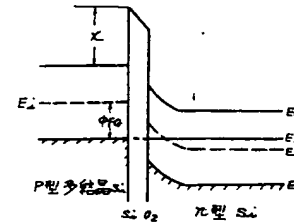
才 3 図



才 4 図



才 5 図



才 6 図